

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
  - TEXT CUT OFF AT TOP, BOTTOM OR SIDES
  - FADED TEXT
  - ILLEGIBLE TEXT
  - SKEWED/SLANTED IMAGES
  - COLORED PHOTOS
  - BLACK OR VERY BLACK AND WHITE DARK PHOTOS
  - GRAY SCALE DOCUMENTS
- 

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 02-188723 [JP 2188723 A]

PUBLISHED: July 24, 1990 (19900724)

INVENTOR(s): TANIGUCHI HIDEAKI ORIMURA RIYOUJI SASANO AKIRA

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation),  
JP(Japan)

APPL. NO.: 01-007614 [JP 897614]

FILED: January 18, 1989 (19890118)

### ABSTRACT PURPOSE:

To reduce the resistance of a scanning signal line and to write a signal to a picture element electrode by forming an opaque metal film as a conductive film constituting a scanning signal line.

### CONSTITUTION:

The scanning signal line GL is formed of a composite film consisting of a 1st conductive film g1 and a 2nd conductive film g2 provided above it, and the 1st conductive film g1 of this scanning signal line GL is formed integrally in the same manufacturing process with the 1st conductive film g1 of a gate electrode GT. The 2nd conductive film g2 is formed of aluminum (Al) by, for example, sputtering to about 900 - 4,000 angstroms. Consequently, the 2nd conductive film g2 reduces the resistance value of the scanning signal line GL and signals can securely be written to picture element electrodes.

## ⑫ 公開特許公報(A)

平2-188723

⑤ Int. Cl.<sup>3</sup>

G 02 F 1/136  
G 09 F 9/00  
H 01 L 27/12  
29/784

識別記号

5 0 0  
3 3 8

A

庁内整理番号

7370-2H  
6422-5C  
7514-5F

⑬ 公開 平成2年(1990)7月24日

8624-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 2 (全24頁)

⑭ 発明の名称 液晶表示装置

⑯ 特 願 平1-7614

⑰ 出 願 平1(1989)1月18日

⑱ 発 明 者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内  
⑱ 発 明 者 折 村 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内  
⑱ 発 明 者 笹 野 晃 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代 理 人 弁理士 中村 純之助

## 明 細 書

## 3. 発明の詳細な説明

## 1. 発明の名称

液晶表示装置

## 2. 特許請求の範囲

1. 薄型トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記走査信号線の映像信号線との交差部における上記不透明金属膜の幅を他の部分の幅より狭くしたことを特徴とする液晶表示装置。
2. 薄型トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記保持容量素子の電極膜を上記走査信号線に沿って設け、上記画素電極の端部を上記走査信号線と直角に設けたことを特徴とする液晶表示装置。

## 〔産業上の利用分野〕

この発明はたとえば薄型トランジスタと画素電極とを画素の一構成要素とするアクティブ・マトリックス方式のカラー液晶表示装置等の液晶表示装置に関するものである。

## 〔従来の技術〕

従来のアクティブ・マトリックス方式の液晶表示装置においては、特開昭61-151516号公報に示されるように、走査信号線、ゲート電極、保持容量素子の電極膜をITO(インジウム・錫化合物)膜で構成しており、また保持容量素子の電極膜を走査信号線から分岐させている。

## 〔発明が解決しようとする課題〕

しかし、このような液晶表示装置においては、ITO膜のシート抵抗が大きいから、走査信号線の抵抗が大きくなるので、画素電極への信号書き込みができなくなる。

そこで、走査信号線、ゲート電極、保持容量素子の電極膜をクロム膜で構成することが考えられ、

この場合に走査信号線と保持容量素子の電極膜とを一体に形成すると、走査信号線と映像信号線との交差部における走査信号線と映像信号線との重なり面積が大きくなるので、走査信号線と映像信号線との間のショートが多くなり、歩留まりが悪くなる。

また、走査信号線、保持容量素子の電極膜をクロム膜で構成したときに、保持容量素子の電極膜を走査信号線から分岐させてたときには、開口率が低下するから、画像が暗くなる。

この発明は上述の課題を解決するためになされたもので、画素電極への信号書き込みができなくなることがなく、しかも歩留まりがよい液晶表示装置、画像が明るい液晶表示装置を提供することを目的とする。

#### 〔課題を解決するための手段〕

上記目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保

また、この液晶表示装置においては、保持容量素子の電極膜を走査信号線に沿って設け、画素電極の端部を走査信号線と直角に設けているから、開口率が大きくなる。

#### 〔実施例〕

この発明を適用すべきアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一面素を第2図（要部平面図）で示し、第2図のII-II切断線で切った断面を第3図で示す。また、第4図（要部平面図）には、第2図に示す面素を複数配置した液晶表示部の要部を示す。

第2図～第4図に示すように、液晶表示装置は、下部透明ガラス基板SUB1の内側（液晶側）の表面上に、薄膜トランジスタTFTおよび透明画素電極ITOを有する画素が構成されている。下部透明ガラス基板SUB1はたとえば1.1[mm]程度の厚さで構成されている。

各画素は、隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）

保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記走査信号線の映像信号線との交差部における上記不透明金属膜の幅を他の部分の幅より狭くする。

また、上記目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の一構成要素としアクティブ・マトリックス方式の液晶表示装置において、走査信号線を構成する導電膜と保持容量素子の電極膜とを同一の不透明金属膜で形成し、上記保持容量素子の電極膜を上記走査信号線に沿って設け、上記画素電極の端部を上記走査信号線と直角に設ける。

#### 〔作用〕

この液晶表示装置においては、走査信号線を構成する導電膜を不透明金属膜で形成しているから、走査信号線の抵抗が小さく、また走査信号線の映像信号線との交差部における不透明金属膜の幅を他の部分の幅より狭くしているから、走査信号線と映像信号線との交差部における走査信号線と映像信号線との重なり面積が小さい。

DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。走査信号線GLは、第2図および第4図に示すように、列方向に延在し、行方向に複数本配置されている。映像信号線DLは、行方向に延在し、列方向に複数本配置されている。

各画素の薄膜トランジスタTFTは、画素内において3つ（複数）に分割され、薄膜トランジスタ（分割薄膜トランジスタ）TFT1、TFT2およびTFT3で構成されている。薄膜トランジスタTFT1～TFT3のそれぞれは、実質的に同一サイズ（チャンネル長と幅が同じ）で構成されている。この分割された薄膜トランジスタTFT1～TFT3のそれぞれは、主にゲート電極GT、絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）シリコン（Si）からなるi型半導体層AS、一对のソース電極SD1およびドレイン電極SD2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、この液晶表示装

置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

前記ゲート電極GTは、第5図（所定の製造工程における要部平面図）に詳細に示すように、走査信号線GLから行方向（第2図および第5図において下方向）に突出するT字形状で構成されている（T字形状に分岐されている）。つまり、ゲート電極GTは、薄膜トランジスタTF T1～TF T3のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTF T1～TF T3のそれぞれのゲート電極GTは、一体に（共通ゲート電極として）構成されており、同一の走査信号線GLに連続して形成されている。ゲート電極GTは、薄膜トランジスタTF Tの形成領域において大きい段差をなるべく作らないように、単層の第1導電膜g1で構成する。第1導電膜g1は、た

はもちろん、上述した本来の大きさよりも大きくされる。

ゲート電極GTのゲートおよび遮光の機能面からだけで考えれば、ゲート電極GTおよびその配線GLは単一の層で一体に形成してもよく、この場合不透明導電材料としてSiを含有させたAl、純Al、およびPdを含有させたAl等を選ぶことができる。

前記走査信号線GLは、第1導電膜g1およびその上部に設けられた第2導電膜g2からなる複合膜で構成されている。この走査信号線GLの第1導電膜g1は、前記ゲート電極GTの第1導電膜g1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム（Al）膜を用い、900～4000[Å]程度の膜厚で形成する。第2導電膜g2は、走査信号線GLの抵抗値を低減し、信号伝達速度の高速化（画素の情報の書込特性）を図ることができるように構成されている。

また、走査信号線GLは、第1導電膜g1の幅

たとえばスパッタで形成されたクロム（Cr）膜を用い、1100[Å]程度の膜厚で形成する。

このゲート電極GTは、第2図、第3図および第6図に示されているように、i型半導体層ASを完全に覆うよう（下方からみて）それより大きく目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトを取り付けた場合、この不透明のCrゲート電極GTが影となって、半導体層ASにはバックライト光が当たらず、前述した光照射による導電現象すなわちTF Tのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース・ドレイン電極SD1、SD2間をまたがるに最低限必要な（ゲート電極とソース・ドレイン電極の位置合わせ余裕分も含めて）幅を持ち、チャンネル幅Wを決めるその奥行き長さはソース・ドレイン電極間の距離（チャンネル長）Lとの比、すなわち相互コンダクタンス $g_m$ を決定するファクタ $W/L$ をいくつにするかによって決められる。

この液晶表示装置におけるゲート電極の大きさ

寸法に比べて第2導電膜g2の幅寸法を小さく構成している。すなわち、走査信号線GLは、その側壁の段差形状をゆるやかにすることができるので、その上層の絶縁膜GIの表面を平坦化できるように構成されている。

絶縁膜GIは、薄膜トランジスタTF T1～TF T3のそれぞれのゲート絶縁膜として使用される。絶縁膜GIは、ゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化珪素膜を用い、3000[Å]程度の膜厚で形成する。前述のように、絶縁膜GIの表面は、薄膜トランジスタTF T1～TF T3のそれぞれの形成領域および走査信号線GL形成領域において平坦化されている。

i型半導体層ASは、第6図（所定の製造工程における要部平面図）で詳細に示すように、複数に分割された薄膜トランジスタTF T1～TF T3のそれぞれのチャンネル形成領域として使用される。複数に分割された薄膜トランジスタTF T1

～TFIT3のそれぞれのi型半導体層ASは、画素内において一体に構成されている。すなわち、画素の分割された複数の薄膜トランジスタTFIT1～TFIT3のそれぞれは、1つの(共通の)i型半導体層ASの島領域で構成されている。i型半導体層ASは、非晶質シリコン膜または多結晶シリコン膜で形成し、約1800[Å]程度の膜厚で形成する。

このi型半導体層ASは、供給ガスの成分を変えてSi, N<sub>2</sub>からなる絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもその装置から外部に露出することなく形成される。また、オーミックコンタクト用のPをドーブしたN<sup>+</sup>型半導体層d0(第3図)も同様に連続して約400[Å]の厚さに形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術により、N<sup>+</sup>型半導体層d0およびi型半導体層ASは第2図、第3図および第6図に示すように独立した島状にパターンニングされる。

ASを乗り越える際の断線に起因する線欠陥の発生する確率を低減することができる。つまり、画素の複数に分割された薄膜トランジスタTFIT1～TFIT3のそれぞれのi型半導体層ASを一体に構成することにより、映像信号線DL(ドレイン電極SD2)がi型半導体層ASを1度だけしか乗り越えないためである(実際には、乗り始めと乗り終わりの2度である)。

前記i型半導体層ASは、第2図および第6図に詳細に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間まで延在させて設けられている。この延在させたi型半導体層ASは、交差部における走査信号線GLと映像信号線DLとの短絡を低減するように構成されている。

画素の複数に分割された薄膜トランジスタTFIT1～TFIT3のそれぞれのソース電極SD1とドレイン電極SD2とは、第2図、第3図および第7図(所定の製造工程における要部平面図)で詳細に示すように、i型半導体層AS上にそれぞ

このように、画素の複数に分割された薄膜トランジスタTFIT1～TFIT3のそれぞれのi型半導体層ASを一体に構成することにより、薄膜トランジスタTFIT1～TFIT3のそれぞれに共通のドレイン電極SD2がi型半導体層AS(実際には、第1導電膜d1の膜厚、N<sup>+</sup>型半導体層d0の膜厚およびi型半導体層ASの膜厚とを加算した膜厚に相当する段差)をドレイン電極SD2側からi型半導体層AS側に向かって1度乗り越えるだけなので、ドレイン電極SD2が断線する確率が低くなり、点欠陥の発生する確率を低減することができる。つまり、この液晶表示装置では、ドレイン電極SD2がi型半導体層ASの段差を乗り越える際に画素内に発生する点欠陥が3分の1に低減できる。

また、この液晶表示装置のレイアウトと異なるが、i型半導体層ASを映像信号線DLが直接乗り越え、この乗り越えた部分の映像信号線DLをドレイン電極SD2として構成する場合、映像信号線DL(ドレイン電極SD2)がi型半導体層

れを乗り越えて設けられている。ソース電極SD1、ドレイン電極SD2のそれぞれは、回路のバイアス極性が変わると、動作上、ソースとドレインとが入れ替わるように構成されている。つまり、薄膜トランジスタTFITは、FETと同様に双方向性である。

ソース電極SD1、ドレイン電極SD2のそれぞれは、N<sup>+</sup>型半導体層d0に接触する下層側から、第1導電膜d1、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第1導電膜d1、第2導電膜d2および第3導電膜d3は、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

第1導電膜d1は、スパッタで形成したクロム膜を用い、500～1000[Å]の膜厚(この液晶表示装置では、600[Å]程度の膜厚)で形成する。クロム膜は、膜厚を厚く形成するとストレスが大きくなるので、2000[Å]程度の膜厚を越えない範囲で形成する。クロム膜は、N<sup>+</sup>型半導体層d0との接触が良好である。クロム膜は、後述する第2

導電膜d2のアルミニウムがN<sup>+</sup>型半導体層d0に拡散することを防止する、所謂バリア層を形成する。第1導電膜d1としては、クロム膜の他に、高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、WSi<sub>2</sub>)膜で形成してもよい。

第1導電膜d1を写真処理でパターンニングした後、同じ写真処理用マスクであるいは第1導電膜d1をマスクとしてN<sup>+</sup>型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN<sup>+</sup>型半導体層d0は第1導電膜d1以外の部分がセルフアラインで除去される。このとき、N<sup>+</sup>型半導体層d0はその厚さ分は全て除去されるようエッチされるのでi型半導体層ASも若干その表面部分でエッチされるが、その程度はエッチ時間で制御すればよい。

しかる後、第2導電膜d2がアルミニウムのスパッタリングで3000~5500[Å]の膜厚(この液晶表示装置では、3500[Å]程度の膜厚)に形成される。アルミニウム膜は、クロム膜に比べてストレ

スが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第2導電膜d2は、薄膜トランジスタTFTの動作速度の高速化および映像信号線DLの信号伝達速度の高速化を図ることができるように構成されている。つまり、第2導電膜d2は、画素の書き込み特性を向上することができる。第2導電膜d2としては、アルミニウム膜の他に、シリコン(Si)や銅(Cu)やパラジウム(Pd)を添加物として含有させたアルミニウム膜で形成してもよい。

第2導電膜d2の写真処理技術によるパターンニング後、第3導電膜d3がスパッタで形成された透明導電膜(ITO:ネサ膜)を用い、1000~2000[Å]の膜厚(この液晶表示装置では、1200[Å]程度の膜厚)で形成される。この第3導電膜d3は、ソース電極SD1、ドレイン電極SD2および映像信号線DLを構成するとともに、透明画素電極ITOを構成するようになっている。

ソース電極SD1の第1導電膜d1、ドレイン電極SD2の第1導電膜d1のそれぞれは、上層の第2導電膜d2および第3導電膜d3に比べてチャネル形成領域側を大きいサイズで構成している。つまり、第1導電膜d1は、第1導電膜d1と第2導電膜d2および第3導電膜d3との間の製造工程におけるマスク合せずれが生じて、第2導電膜d2および第3導電膜d3に比べて大きいサイズ(第1導電膜d1~第3導電膜d3のそれぞれのチャネル形成領域側がオンザラインでもよい)になるように構成されている。ソース電極SD1の第1導電膜d1、ドレイン電極SD2の第1導電膜d1のそれぞれは、薄膜トランジスタTFTのゲート長Lを規定するように構成されている。

このように、画素の複数に分割された薄膜トランジスタTFT1~TFT3において、ソース電極SD1、ドレイン電極SD2のそれぞれの第1導電膜d1のチャネル形成領域側を第2導電膜d2および第3導電膜d3に比べて大きいサイズで

構成することにより、ソース電極SD1、ドレイン電極SD2のそれぞれの第1導電膜d1間の寸法で、薄膜トランジスタTFTのゲート長Lを規定することができる。第1導電膜d1間の離隔寸法(ゲート長L)は、加工精度(パターンニング精度)で規定することができるので、薄膜トランジスタTFT1~TFT3のそれぞれのゲート長Lを均一にすることができる。

ソース電極SD1は、前記のように、透明画素電極ITOに接続されている。ソース電極SD1は、i型半導体層ASの段差形状(第1導電膜d1の膜厚、N<sup>+</sup>型半導体層d0の膜厚およびi型半導体層ASの膜厚とを加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差形状に沿って形成された第1導電膜d1と、この第1導電膜d1の上部にそれに比べて透明画素電極ITOと接続される側を小さいサイズで形成した第2導電膜d2と、この第2導電膜から露出する第1導電膜d1に接続された第3導電膜d3とで組

成されている。ソース電極SD1の第1導電膜d1は、N<sup>+</sup>型半導体層d0との接着性が良好であり、かつ主に第2導電膜d2からの拡散物に対するバリア層として構成されている。ソース電極SD1の第2導電膜d2は、第1導電膜d1のクロム膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第2導電膜d2は、厚く形成することでステップカバレッジを向上している。第2導電膜d2は、厚く形成できるので、ソース電極SD1の抵抗値（ドレイン電極SD2や映像信号線DLについても同様）の低減に大きく寄与している。第3導電膜d3は、第2導電膜d2のi型半導体層ASに起因する段差形状を乗り越えることができないので、第2導電膜d2のサイズを小さくすることで露出する第1導電膜d1に接続するように構成されている。第1導電膜d1と第3導電膜d3とは、接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、確

実に接続することができる。

このように、薄膜トランジスタTFTのソース電極SD1を、少なくともi型半導体層ASに沿って形成されたバリア層としての第1導電膜d1と、この第1導電膜d1の上部に形成され、第1導電膜d1に比べて比抵抗値が小さく、かつ第1導電膜d1に比べて小さいサイズの第2導電膜d2とで構成し、この第2導電膜d2から露出する第1導電膜d1に透明画素電極ITOである第3導電膜d3を接続することにより、薄膜トランジスタTFTと透明画素電極ITOとを確実に接続することができるので、断線に起因する点欠陥を低減することができる。しかも、ソース電極SD1は、第1導電膜d1によるバリア効果で、抵抗値の小さい第2導電膜d2（アルミニウム膜）を用いることができるので、抵抗値を低減することができる。

ドレイン電極SD2は、映像信号線DLと一体に構成されており、同一製造工程で形成されている。ドレイン電極SD2は、映像信号線DLと交

差する列方向に突出したL形状で構成されている。つまり、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのドレイン電極SD2は、同一の映像信号線DLに接続されている。

前記透明画素電極ITOは、各画素毎に設けられており、液晶表示部の画素電極の一方を構成する。透明画素電極ITOは、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに対応して3つの透明画素電極（分割透明画素電極）ITO1、ITO2およびITO3に分割されている。透明画素電極ITO1は、薄膜トランジスタTFT1のソース電極SD1に接続されている。透明画素電極ITO2は、薄膜トランジスタTFT2のソース電極SD1に接続されている。透明画素電極ITO3は、薄膜トランジスタTFT3のソース電極SD1に接続されている。

透明画素電極ITO1～ITO3のそれぞれは、薄膜トランジスタTFT1～TFT3のそれぞれと同様に、実質的に同一サイズで構成されている。

透明画素電極ITO1～ITO3のそれぞれは、薄膜トランジスタTFT1～TFT3のそれぞれのi型半導体層ASを一体に構成してある（分割されたそれぞれの薄膜トランジスタTFTを一個所に集中的に配置してある）ので、L形状で構成している。

このように、隣接する2本の走査信号線GLと隣接する2本の映像信号線DLとの交差領域内に配置された画素の薄膜トランジスタTFTを複数の薄膜トランジスタTFT1～TFT3に分割し、この複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに複数に分割した透明画素電極ITO1～ITO3のそれぞれを接続することにより、画素の分割された一部分（たとえば、薄膜トランジスタTFT1）が点欠陥になるだけで、画素の全体としては点欠陥でなくなる（薄膜トランジスタTFT2およびTFT3が点欠陥でない）ので、画素全体としての点欠陥を低減することができる。

また、前記画素の分割された一部の点欠陥は、



画素の全体の面積に比べて小さい(この液晶表示装置の場合、画素の3分の1の面積)ので、前記点欠陥を見にくくすることができる。

また、前記画素の分割された透明画素電極ITO1~ITO3のそれぞれを実質的に同一サイズで構成することにより、画素内の点欠陥の面積を均一にすることができる。

また、前記画素の分割された透明画素電極ITO1~ITO3のそれぞれを実質的に同一サイズで構成することにより、透明画素電極ITO1~ITO3のそれぞれと共通透明画素電極ITOとで構成されるそれぞれの液晶容量( $C_{pix}$ )と、この透明画素電極ITO1~ITO3のそれぞれに付加される透明画素電極ITO1~ITO3とゲート電極GTとの重ね合せで生じる重ね合せ容量( $C_{gs}$ )とを均一にすることができる。つまり、透明画素電極ITO1~ITO3のそれぞれは液晶容量および重ね合せ容量を均一にすることができるので、この重ね合せ容量に起因する液晶LCの液晶分子に印加されようとする直流成分を均一

形成する。

したがって、薄膜トランジスタTFT1~TFT3の共通半導体層ASは上下にある遮光膜LSおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜LSとゲート電極GTは半導体層ASより大き目でほぼそれと相似形に形成され、両者の大きさはほぼ同じとされる(図では境界線が判るようゲート電極GTを遮光膜LSより小さ目に描いている)。

なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側(外部露出側)とすることもでき、この場合は遮光膜LSはバックライト光の、ゲート電極GTは自然光の遮光体として働く。

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように構成されている。つまり、薄膜トランジスタTFTは、透

とすることができ、この直流成分を相殺する方法を採用した場合、各画素の液晶にかかる直流成分のばらつきを小さくすることができる。

薄膜トランジスタTFTおよび透明画素電極ITO上には、保護膜PSV1が設けられている。保護膜PSV1は、主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は、たとえばプラズマCVDで形成した酸化珪素膜や窒化珪素膜で形成されており、5000~11000[Å]の膜厚(この液晶表示装置では、8000[Å]程度の膜厚)で形成する。

薄膜トランジスタTFT上の保護膜PSV1の上部には、外部光がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜LSが設けられている。第2図に示すように、遮光膜LSは、点線で囲まれた領域内に構成されている。遮光膜LSは、光に対する遮蔽性が高い、たとえばアルミニウム膜やクロム膜等で形成されており、スパッタで1000[Å]程度の膜厚に

明画素電極ITOに印加される電圧を制御するように構成されている。

液晶LCは、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に形成された空間内に、液晶分子の向きを設定する下部配向膜ORI1および上部配向膜ORI2に規定され、封入されている。

下部配向膜ORI1は、下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

上部透明ガラス基板SUB2の内側(液晶側)の表面には、カラーフィルタFIL、保護膜PSV2、共通透明画素電極(COM)ITOおよび前記上部配向膜ORI2が順次積層して設けられている。

前記共通透明画素電極ITOは、下部透明ガラス基板SUB1側に画素毎に設けられた透明画素電極ITOに対向し、隣接する他の共通透明画素電極ITOと一体に構成されている。この共通透明画素電極ITOには、コモン電圧 $V_{com}$ が印加されるように構成されている。コモン電圧 $V_{com}$

は、映像信号線DLに印加されるロウレベルの駆動電圧 $V_{dmin}$ とハイレベルの駆動電圧 $V_{dmax}$ との中間電位である。

カラーフィルタFILは、アクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは、画素に対向する位置に各画素ごとに構成され、染め分けられている。すなわち、カラーフィルタFILは、画素と同様に、隣接する2本の走査信号線GLと隣接する2本の映像信号線DLとの交差領域内に構成されている。各画素は、カラーフィルタFILの個々の所定色フィルタ内において、複数に分割されている。

カラーフィルタFILは、つぎのように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。次に、同様な工程を施すことによって、緑色フィル

タG、青色フィルタBを順次形成する。

このように、カラーフィルタFILの各色フィルタを各画素と対向する交差領域内に形成することにより、カラーフィルタFILの各色フィルタ間に、走査信号線GL、映像信号線DLのそれぞれが存在するので、それらの存在に相当する分、各画素とカラーフィルタFILの各色フィルタとの位置合せ余裕寸法を確保する（位置合せマージンを大きくする）ことができる。さらに、カラーフィルタFILの各色フィルタを形成する際に、異色フィルタ間の位置合せ余裕寸法を確保することができる。

すなわち、この液晶表示装置では、隣接する2本の走査信号線GLと隣接する2本の映像信号線DLとの交差領域内に画素を構成し、この画素を複数に分割し、この画素に対向する位置にカラーフィルタFILの各色フィルタを形成することにより、前述の点欠陥を低減することができるとともに、各画素と各色フィルタとの位置合せ余裕寸法を確保することができる。

保護膜PSV2は、前記カラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2は、たとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側のそれぞれの層を別々に形成し、その後下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

前記液晶表示部の各画素は、第4図に示すように、走査信号線GLが延在する方向と同一列方向に複数配置され、画素列 $X_1, X_2, X_3, X_4, \dots$ のそれぞれを構成している。各画素列 $X_1, X_2, X_3, X_4, \dots$ のそれぞれの画素は、薄膜トランジスタTFT1～TFT3および透明画素電極ITO1～ITO3の配置位置を同一に構成している。つまり、画素列 $X_1, X_2, \dots$ のそれぞれの画素は、薄膜トランジスタTFT1～TFT3の配置位置

を左側、透明画素電極ITO1～ITO3の配置位置を右側に構成している。画素列 $X_1, X_2, \dots$ のそれぞれの行方向の次段の画素列 $X_1, X_2, \dots$ のそれぞれの画素は、画素列 $X_1, X_2, \dots$ のそれぞれの画素を前記映像信号線DLに対して線対称で配置した画素で構成されている。すなわち、画素列 $X_1, X_2, \dots$ のそれぞれの画素は、薄膜トランジスタTFT1～TFT3の配置位置を右側、透明画素電極ITO1～ITO3の配置位置を左側に構成している。そして、画素列 $X_1, X_2, \dots$ のそれぞれの画素は、画素列 $X_1, X_2, \dots$ のそれぞれの画素に対し、列方向に半画素間隔移動させて（ずらして）配置されている。つまり、画素列 $X$ の各画素間隔を1.0（1.0ピッチ）とすると、次段の画素列 $X$ は、各画素間隔を1.0とし、前段の画素列 $X$ に対して列方向に0.5画素間隔（0.5ピッチ）ずれている。各画素間を行方向に延在する映像信号線DLは、各画素列 $X$ 間において、半画素間隔分（0.5ピッチ分）列方向に延在するように構成されている。

このように、液晶表示部において、薄膜トランジスタTFTおよび透明画素電極ITOの配置位置が同一の画素を列方向に複数配置して画素列Xを構成し、画素列Xの次段の画素列Xを、前段の画素列Xの画素を映像信号線DLに対して線対称で配置した画素で構成し、次段の画素列を前段の画素列に対して半画素間隔移動させて構成することにより、第8図（画素とカラーフィルタとを重ね合せた状態における要部平面図）で示すように、前段の画素列Xの所定色フィルタが形成された画素（たとえば、画素列X<sub>i</sub>の赤色フィルタRが形成された画素）と次段の画素列Xの同一色フィルタが形成された画素（たとえば、画素列X<sub>i</sub>の赤色フィルタRが形成された画素）とを1.5画素間隔（1.5ピッチ）離隔することができる。つまり、前段の画素列Xの画素は、最っとも近傍の次段の画素列の同一色フィルタが形成された画素と常時1.5画素間隔分離するように構成されており、カラーフィルタFILはRGBの三角形配置構造を構成できるようになっている。カラーフィルタ

前記第4図および第8図に示す画素列X<sub>i</sub>を選択する走査信号線GLである。同様に、Y<sub>i+1</sub>, Y<sub>i+2</sub>, ...のそれぞれは、画素列X<sub>j</sub>, X<sub>k</sub>, ...のそれぞれを選択する走査信号線GLである。これらの走査信号線GLは、垂直走査回路に接続されている。

前記第3図の中央部は一画素部分の断面を示しているが、左側は下部透明ガラス基板SUB1および上部透明ガラス基板SUB2の左側縁部分で外部引出配線の存在する部分の断面を示している。右側は、透明ガラス基板SUB1およびSUB2の右側縁部分で外部引出配線の存在しない部分の断面を示している。

第3図の左側、右側のそれぞれに示すシール材SLは、液晶LCを封止するように構成されており、液晶封入口（図示していない）を除く透明ガラス基板SUB1およびSUB2の縁周囲全体に沿って形成されている。シール材SLは、たとえばエポキシ樹脂で形成されている。

前記上部透明ガラス基板SUB2側の共通透明

FILのRGBの三角形配置構造は、各色の混色を良くすることができるので、カラー画像の解像度を向上することができる。

また、映像信号線DLは、各画素列X間において、半画素間隔分しか列方向に延在しないので、隣接する映像信号線DLと交差しなくなる。したがって、映像信号線DLの引き回しをなくしその占有面積を低減することができ、又映像信号線DLの迂回をなくし多層配線構造を廃止することができる。

この液晶表示部の構成を回路的に示すと、第10図（液晶表示部の等価回路図）に示すようになる。第10図に示すX<sub>i</sub>G, X<sub>i+1</sub>G, ...は、緑色フィルタGが形成される画素に接続された映像信号線DLである。X<sub>i</sub>B, X<sub>i+1</sub>B, ...は、青色フィルタBが形成される画素に接続された映像信号線DLである。X<sub>i+1</sub>R, X<sub>i+2</sub>R, ...は、赤色フィルタRが形成される画素に接続された映像信号線DLである。これらの映像信号線DLは、映像信号駆動回路で選択される。Y<sub>i</sub>は

画素電極ITOは、少なくとも一個所において、基板材料SILによって、下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線は、前述したゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

前記配向膜ORI1およびORI2、透明画素電極ITO、共通透明画素電極ITO、保護膜PSV1およびPSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POLは、下部透明ガラス基板SUB1、上部透明ガラス基板SUB2のそれぞれの外側の表面に形成されている。

この発明を適用すべき他の液晶表示装置の液晶表示部の一画素を第9A図（要部平面図）に、また同図の左下方に示した太い実線枠Bに囲まれた部分（薄膜トランジスタ3とその周辺部）を3倍に拡大した図を第9B図に示す。

この液晶表示装置においては、液晶表示部の各画素の開口率を向上することができるとともに、

液晶にかかる直流成分を小さくし、液晶表示部の点欠陥を低減しかつ黒むらを低減することができる。

この液晶表示装置は、第9A図および第9B図に示すように、液晶表示部の各画素内のi型半導体層ASを薄膜トランジスタTFT1~TFT3毎に分割して構成されている。つまり、画素の複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれは、独立したi型半導体層ASの島領域で構成されている。

このように構成される画素は、映像信号線DLの延在する行方向に、薄膜トランジスタTFT1~TFT3のそれぞれを均等に分散し配置することができるので、薄膜トランジスタTFT1~TFT3のそれぞれに接続される透明画素電極ITO1~ITO3のそれぞれを方形状で構成することができる。方形状で構成される透明画素電極ITO1~ITO3のそれぞれは、画素内において隣接する透明画素電極ITO間の行方向における離隔面積を低減することができるので、面積（開

口率）を向上することができる。

また、第9A図に符号Aを付けて点線で囲んで示すように、透明画素電極ITO1~ITO3のそれぞれの形状を変化させる場合は、走査信号線GLまたは映像信号線DLに対して傾斜する角度を有する線（たとえば、45度の角度の線）で変化させる。つまり、透明画素電極ITO1~ITO3のそれぞれは、走査信号線GLまたは映像信号線DLと平行な線あるいは直交する線で形状を変化させた場合に比べて、透明画素電極ITO間の離隔面積を低減することができるので、開口率を向上することができる。

また、透明画素電極ITO1~ITO3のそれぞれは、薄膜トランジスタTFTと接続される辺と対向する反対側の辺において、行方向の次段の走査信号線GLと重ね合わされている。この重ね合せは、薄膜トランジスタTFT1~TFT3のゲート電極GTと同様に、そのゲート電極GTを選択する走査信号線DL（画素を選択する走査信号線DL）と隣接する次段の走査信号線DLをT

字形状に分岐させて行なわれている。分岐させた走査信号線GLは、薄膜トランジスタTFTのゲート電極GTと同様に、第1導電膜（クロム膜）g1の単層で構成されている。前記重ね合せは、透明画素電極ITO1~ITO3のそれぞれを一方の電極とし、次段の走査信号線GLを容量電極線として用いてそれから分岐された部分を他方の電極とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIと同一層で構成されている。

ゲート電極GTは、第2図等にした液晶表示装置と同様i型半導体層ASより大き目に形成されるが、この液晶表示装置では薄膜トランジスタTFT1~TFT3が独立したi型半導体層ASごとに形成されているため、各薄膜トランジスタTFTごとに大き目のパターンが形成されるとともに、分岐したゲート配線GL（g1）に連結される。

前記保持容量素子Caddの他のレイアウトを第11図（他の例の一画素を示す要部平面図）に示し、前記第9A図および第11図に記載される画素の等価回路を第12図（等価回路図）に示す。第11図に示す画素の保持容量素子Caddは、透明画素電極ITO1~ITO3のそれぞれと容量電極線の分岐させた部分（保持容量素子Caddの他方の電極）との重ね合せ量を増加させ、保持容量を増加させている。基本的には、第11図に示す保持容量素子Caddと前記第9A図に示す保持容量素子Caddとは同じである。第12図において、前述と同様に、Cgsは薄膜トランジスタTFTのゲート電極GTおよびソース電極SD1で形成される重ね合せ容量である。重ね合せ容量Cgsの誘電体膜は絶縁膜GIである。Cpixは透明画素電極ITO（PIX）および共通透明画素電極ITO（COM）間で形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

前記保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化 $\Delta V_g$ の影響を低減するように働く。この様子を式で表すと次式となる。

$$\Delta V_{lc} = ((C_{gs} / (C_{gs} + C_{add} + C_{pix})) \times \Delta V_g$$

ここで、 $\Delta V_{lc}$ は $\Delta V_g$ による中点電位の変化分を表わす。この変化分 $\Delta V_{lc}$ は液晶に加わる直流成分の原因となるが、保持容量素子Caddの保持容量を大きくすればする程その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

上述したように、ゲート電極GTは半導体層ASを完全に覆うよう大きくされている分、ソースドレイン電極SD1、SD2とのオーバーラップ面

画素の点欠陥を低減することができるとともに、前記保持容量素子Caddで液晶LCに加わる直流成分を低減することができるので、液晶LCの寿命を向上することができる。とくに、画素を分割することにより、薄膜トランジスタTFTのゲート電極GTとソース電極SD1またはドレイン電極SD2との短絡に起因する点欠陥を低減することができるとともに、透明画素電極ITO1~ITO3のそれぞれと保持容量素子Caddの他方の電極(容量電極線)との短絡に起因する点欠陥を低減することができる。後者側の点欠陥はこの液晶表示装置の場合3分の1になる。この結果、前記画素の分割された一部の点欠陥は、画素の全体の面積に比べて小さいので、前記点欠陥を見にくくすることができる。

前記保持容量素子Caddの保持容量は、画素の寄与特性から、液晶容量Cpixに対して4~8倍( $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ )、重ね合せ容量Cgsに対して8~32倍( $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ )程度の値に設定する。

覆が増え、したがって寄生容量Cgsが大きくなり中点電位Vlcはゲート(走査)信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

また、2本の走査信号線GLと2本の映像信号線DLとの交差領域内に画素を有する液晶表示装置において、前記2本の走査信号線GLのうちの一方の走査信号線GLで選択される画素の薄膜トランジスタTFTを複数に分割し、この分割された薄膜トランジスタTFT1~TFT3のそれぞれに透明画素電極ITOを複数に分割したそれぞれ(ITO1~ITO3)を接続し、この分割された透明画素電極ITO1~ITO3のそれぞれにこの画素電極ITOを一方の電極とし前記2本の走査信号線DLのうちの他方の走査信号線DLを容量電極線として用いて他方の電極とする保持容量素子Caddを構成することにより、前述のように、画素の分割された一部分が点欠陥になるだけで、画素の全体としては点欠陥でなくなるので、

また、前記走査信号線GLを第1導電膜(クロム膜)g1に第2導電膜(アルミニウム膜)g2を重ね合せた複合膜で構成し、前記保持容量素子Caddの他方の電極つまり容量電極線の分岐された部分を前記複合膜のうちの一層の第1導電膜g1からなる単層膜で構成することにより、走査信号線GLの抵抗値を低減し、寄与特性を向上することができるとともに、保持容量素子Caddの他方の電極に基づく段差部に沿って確実に保持容量素子Caddの一方の電極(透明画素電極ITO)を絶縁膜GI上に接合させることができるので、保持容量素子Caddの一方の電極の断線を低減することができる。

また、保持容量素子Caddの他方の電極を単層の第1導電膜g1で構成し、アルミニウム膜である第2導電膜g2を構成しないことにより、アルミニウム膜のヒロックによる保持容量素子Caddの他方の電極と一方の電極との短絡を防止することができる。

前記保持容量素子Caddを構成するために重ね

合わされる透明画素電極ITO1~ITO3のそれぞれと容量電極線の分岐された部分との間の一部には、前記ソース電極SD1と同様に、分岐された部分の段差形状を乗り越える際に透明画素電極ITOが断線しないように、第1導電膜d1および第2導電膜d2で構成された島領域が設けられている。この島領域は、透明画素電極ITOの面積（開口率）を低下しないように、できる限り小さく構成する。

このように、前記保持容量素子Caddの一方の電極とその誘電体膜として使用される絶縁膜GIとの間に、第1導電膜d1とその上に形成された第1導電膜d1に比べて比抵抗値が小さくかつサイズが小さい第2導電膜d2とで形成された下地層を構成し、前記一方の電極（第3導電膜d3）を前記下地層の第2導電膜d2から露出する第1導電膜d1に接続することにより、保持容量素子Caddの他方の電極に基づく段差部に沿って確実に保持容量素子Caddの一方の電極を接合させることができるので、保持容量素子Caddの一方の

とにより、最終段の容量電極線は外部引出配線の一部の導電層と一体に構成することができ、しかも共通透明画素電極ITOは前記外部引出配線に接続されているので、簡単な構成で最終段の容量電極線を共通透明画素電極ITOに接続することができる。

また、液晶表示装置は、先に本願出願人によって出願された特願昭62-95125号に記載される直流相殺方式（DCキャンセル方式）に基づき、第13図（タイムチャート）に示すように、走査信号線DLの駆動電圧を制御することによって、さらに液晶LCに加わる直流成分を低減することができる。第13図において、Viは任意の走査信号線GLの駆動電圧、Vi+1はその次段の走査信号線GLの駆動電圧である。Veeは走査信号線GLに印加されるロウレベルの駆動電圧Vdmin、Vddは走査信号線GLに印加されるハイレベルの駆動電圧Vdmaxである。各時刻t=t1~t2における中点電位Vlc（第12図参照）の電圧変化分ΔV1~ΔVnは、画素の合計の容量

電極の断線を低減することができる。

前記画素の透明画素電極ITOに保持容量素子Caddを設けた液晶表示装置の液晶表示部は、第14図（液晶表示部を示す等価回路図）に示すように構成されている。液晶表示部は、画素、走査信号線GLおよび映像信号線DLを含む単位基本パターンの繰返しで構成されている。容量電極線として使用される最終段の走査信号線GL（または初段の走査信号線GL）は、第14図に示すように、共通透明画素電極（Vcom）ITOに接続する。共通透明画素電極ITOは、前記第3図に示すように、液晶表示装置の周縁部において基板S1によって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電層（g1およびg2）は走査信号線GLと同一製造工程で構成されている。この結果、最終段の走査信号線GL（容量電極線）は、共通透明画素電極ITOに簡単に接続することができる。

このように、容量電極線の最終段を前記画素の共通透明画素電極（Vcom）ITOに接続するこ

（Cgs+Cpix+Cadd）をCとすると、次式のようになる。

$$\Delta V_1 = -(C_{gs}/C) \cdot V_2$$

$$\Delta V_2 = +(C_{gs}/C) \cdot (V_1 + V_2) - (C_{add}/C) \cdot V_2$$

$$\Delta V_3 = -(C_{gs}/C) \cdot V_1 + (C_{add}/C) \cdot (V_1 + V_2)$$

$$\Delta V_n = -(C_{add}/C) \cdot V_1$$

ここで、走査信号線GLに印加される駆動電圧が充分であれば（下記【注】参照）、液晶LCに加わる直流電圧は、次式で表される。

$$\Delta V_1 + \Delta V_n = (C_{add} \cdot V_2 - C_{gs} \cdot V_1) / C$$

このため、 $C_{add} \cdot V_2 = C_{gs} \cdot V_1$ とすると、液晶LCに加わる直流電圧は0になる。

【注】時刻t1、t2で走査線Viの変化分が中点電位Vlcに影響を及ぼすが、t2~t3の期間に中点電位Vlcは信号線Xiを通じて映像信号電位と同じ電位にされる（映像信号の十分な書き込み）。液晶LCにかかる電位は薄膜トランジスタTFTがオフした直後の電位でほぼ決定される（薄膜トランジスタTFTのオフ期間がオン期間より圧倒的に長い）。したがって、液晶LCにかかる直流

分の計算は、期間 $t_1 \sim t_2$ にほぼ無視でき、導膜トランジスタTFTがオフ直後の電位、すなわち時刻 $t_1$ 、 $t_2$ における過渡時の影響を考えればよい。なお、映像信号Viはフレームごと、あるいはラインごとに極性が反転し、映像信号そのものによる直流分は零とされている。

つまり、直流相殺方式は、重ね合せ容量Cgsによる中点電位Vlcの引き込みによる低下分を、保持容量素子Caddおよび次段の走査信号線GL

(容量電極線)に印加される駆動電圧によって押し上げ、液晶LCに加わる直流成分を極めて小さくすることができる。この結果、液晶表示装置は液晶LCの寿命を向上することができる。もちろん、遮光効果を上げるためにゲートGTを大きくした場合、それに伴って保持容量素子Caddの保持容量を大きくすればよい。

この直流相殺方式は、第15図(液晶表示部を示す等価回路図)で示すように、初段の走査信号線GL(または容量電極線)を最終段の容量電極線(または走査信号線GL)に接続することによ

って採用することができる。第15図には便宜上4本の走査信号線GLしか記載されていないが、実際には数百程度の走査信号線GLが配置されている。初段の走査信号線GLと最終段の容量電極線との接続は、液晶表示部内の内部配線あるいは外部引出配線によって行なう。

このように、液晶表示装置は、初段の走査信号線GLを最終段の容量電極線に接続することにより、走査信号線GLおよび容量電極線のすべてを垂直走査回路に接続することができるので、直流相殺方式(DCキャンセル方式)を採用することができる。この結果、液晶LCに加わる直流成分を低減することができるので、液晶LCの寿命を向上することができる。

第16図はこの発明に係るアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一面素を示す要部平面図、第17a図は第16図のB-B切断線で切った部分の断面図、第17b図は第16図のC-C切断線で切った部分の断面図、第1図は第16図に示す面素の所定の製造工

程における要部平面図、第18図は第16図に示した液晶表示装置の液晶表示部とシール部周辺部の断面図、第19図は第16図に示す面素とブラックマトリックスパターンとを重ね合せた状態を示す平面図である。この液晶表示装置においては、クロムからなる第1導電膜g1によって走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極が形成されており、走査信号線GLの第1層と保持容量素子Caddの電極膜とが第1導電膜g1で一体に形成されている。また、走査信号線GLの映像信号線DLとの交差部における第1導電膜g1の幅は他の部分の幅より狭く、走査信号線GLの映像信号線DLとの交差部における第1導電膜g1の幅は10[μm]であり、他の部分の幅は70[μm]である。さらに、保持容量素子Caddの電極膜が走査信号線GLに沿って設けられ、透明画素電極ITOの端部が走査信号線GLと直角に設けられている。また、走査信号線GLの第2層はアルミニウム合金からなる第2導電膜g2によって形成されている。すなわち、走査信号線

GLは第1導電膜g1および第2導電膜g2によって形成されている。さらに、上部透明ガラス基板SUB2の走査信号線GL、映像信号線DL、導膜トランジスタTFTに対応する部分にブラックマトリックスパターンBMが設けられている。また、ゲート端子、ドレイン端子(図示せず)の最上膜が第3導電膜d3によって構成されている。さらに、映像信号線DLにおいては、第2導電膜d2が第3導電膜d3によって完全に覆われている。

この液晶表示装置においては、走査信号線GLの第1層をクロムからなる第1導電膜g1によって構成しているから、走査信号線GLの抵抗が小さいので、透明画素電極ITOへの信号書き込みができなくなることはない。さらに、走査信号線GLの映像信号線DLとの交差部における第1導電膜g1の幅を他の部分の幅より狭くしているから、走査信号線GLと映像信号線DLとの交差部における走査信号線GLと映像信号線DLとの重なり面積が小さいので、走査信号線GLと映像信

号線DLとの間のショートが少なくなり、歩留まりが向上する。また、保持容量素子Caddの電極膜が走査信号線GLに沿って設けられ、透明画素電極ITOの端部が走査信号線GLと直角に設けられているから、保持容量素子Caddの電極膜を走査信号線GLから分岐させた場合と比較して、開口率が大きくなるので、画像が明るくなる。さらに、上部透明ガラス基板SUB2の走査信号線GL、映像信号線DL、薄膜トランジスタTFTに対応する部分にブラックマトリックスパターンBMが設けられているから、画素の輪郭が明瞭になるので、コントラストが向上するとともに、外部の自然光が薄膜トランジスタTFTに当たるのを防止することができる。また、走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極膜をITO膜により構成した場合には、アルミニウム合金からなる第2導電膜g2によって走査信号線GLの第2層を形成すると、第2導電膜g2をエッチングするとき、走査信号線GLに電圧を印加したときに、電池反応によりITO

膜が溶解してしまうのに対して、クロムからなる第1導電膜g1によって走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極膜を形成した場合には、アルミニウム合金からなる第2導電膜g2によって走査信号線GLの第2層を形成したとしても、第1導電膜g1が溶解することはない。さらに、走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極膜をITO膜により構成した場合には、ITO膜により画素の輪郭を形成することができないのに対して、クロムからなる第1導電膜g1によって走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極膜を形成した場合には、第1導電膜g1により画素の輪郭を形成することができるので、ブラックマトリックスパターンBMのアライメントずれがあったとしても、画素の輪郭が不明瞭にはならず、コントラストが低下することはない。また、ゲート端子、ドレイン端子の最上膜が第3導電膜d3によって構成されているから、ゲート端子、ドレイン端子とTABとの

接続がよい。さらに、映像信号線DLにおいては、第2導電膜d2が第3導電膜d3によって完全に覆われているから、アルミニウムホイスカの発生が抑制されるので、保護膜PSV1にピンホールが生ずることはない。また、保護膜PSV1の下に第3導電膜d3が設けられているから、電圧差のあるところで導電膜が腐食されるいわゆる電食を防止することができる。

つぎに、第1図、第16図～第19図に示した液晶表示装置の製造方法について説明する。まず、7059ガラス(商品名)からなる下部透明ガラス基板SUB1上に膜厚が1100[Å]のクロムからなる第1導電膜g1をスパッタリングにより設ける。つぎに、エッチング液として硝酸第2セリウムアンモニウム溶液を使用した写真蝕刻技術で第1導電膜g1を選択的にエッチングすることによって、走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極膜を形成する。つぎに、レジストを剥離液S502(商品名)で除去したのち、O<sub>2</sub>アッシャーを1分間行なう。

つぎに、膜厚が1000[Å]のアルミニウム-パラジウム(Pd)、アルミニウム-シリコン、アルミニウム-シリコン-チタン(Ti)、アルミニウム-シリコン-銅(Cu)等からなる第2導電膜g2をスパッタリングにより設ける。つぎに、エッチング液としてリン酸と硝酸と酢酸との混液を使用した写真蝕刻技術で第2導電膜g2を選択的にエッチングすることにより、走査信号線GLの第2層を形成する。つぎに、ドライエッチング装置にSF<sub>6</sub>ガスを導入して、シリコン等の残渣を除去したのち、レジストを除去する。つぎに、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500[Å]の窒化シリコン膜を設けたのち、プラズマCVD装置にシランガス、水素ガス、ホスフィンガスを導入して、膜厚が2100[Å]のi型非晶質シリコン膜を設け、膜厚が300[Å]のN<sup>+</sup>型シリコン膜を設ける。つぎに、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用した写真蝕刻技術でN<sup>+</sup>型シリコン膜、i型非晶質シリコン膜を選択的にエッチン



グすることにより、 $i$ 型半導体層A5を形成する。つぎに、レジストを除去したのち、ドライエッチングガスとして $SF_6$ を使用した写真蝕刻技術で、窒化シリコン膜を選択的にエッチングすることによって、絶縁膜GIを形成する。つぎに、レジストを除去したのち、膜厚が600[Å]のクロムからなる第1導電膜d1をスパッタリングにより形成する。つぎに、写真蝕刻技術で第1導電膜d1を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第1層を形成する。つぎに、レジストを除去する前に、ドライエッチング装置に $CCl_4$ 、 $SF_6$ を導入して、 $N^+$ 型シリコン膜を選択的にエッチングすることにより、 $N^+$ 型半導体層d0を形成する。つぎに、レジストを除去したのち、 $O_2$ アッシャーを1分間行なう。つぎに、膜厚が3500[Å]のアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタン、アルミニウム-シリコン-銅等からなる第2導電膜d2をスパッタリングにより設ける。つぎに、

写真蝕刻技術で第2導電膜d2を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第2層を形成する。つぎに、レジストを除去したのち、 $O_2$ アッシャーを1分間行なう。つぎに、膜厚が1200[Å]のITO膜からなる第3導電膜d3をスパッタリングにより設ける。つぎに、エッチング液として塩酸と硝酸との混酸を使用した写真蝕刻技術で第3導電膜d3を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第3層、ゲート端子、ドレイン端子の最上層および透明画素電極ITO1を形成する。つぎに、レジストを除去したのち、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1[Å]の窒化シリコン膜を設ける。つぎに、ドライエッチングガスとして $SF_6$ を使用した写真蝕刻技術で窒化シリコン膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

以上、この発明を上記実施例に基づき具体的に

説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはもちろんである。

たとえば、この発明は液晶表示部の各画素を2分割あるいは4分割した液晶表示装置に適用することができる。ただし、画素の分割数が増えると、開口率が低下するので、上述のように、2~4分割程度が妥当である。また、画素は分割しなくても、遮光効果は得られる。さらに、上述実施例においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でもこの発明は有効である。

#### 〔発明の効果〕

以上説明したように、この発明に係る液晶表示装置においては、走査信号線を構成する導電膜を不透明金属膜で形成しているから、走査信号線の抵抗が小さいので、画素電極への信号書き込みができなくなることがない。また、走査信号線の映

像信号線との交差部における不透明金属膜の幅を他の部分の幅より狭くしているから、走査信号線と映像信号線との交差部における走査信号線と映像信号線との重なり面積が小さくなるので、走査信号線GLと映像信号線DLとの間のショートが少なくなり、歩留まりがよい。

また、この発明に係る液晶表示装置においては、保持容量素子の電極膜を走査信号線に沿って設け、画素電極の端部を走査信号線と直角に設けているから、開口率が大きくなるので、画像が明るくなる。

このように、この発明の効果は顕著である。

#### 4. 図面の簡単な説明

第1図は第16図に示す画素の所定の製造工程における要部平面図、第2図はこの発明を適用すべきアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図、第3図は第2図のII-II切断線で切った部分とシール部周辺部の断面図、第4図は第2図に示す画素を複数配置した液晶表示部の要部平面図、第5

図～第7図は第2図に示す画素の所定の製造工程における要部平面図、第8図は第4図に示す画素とカラーフィルタとを重ね合せた状態における要部平面図、第9A図はこの発明を適用すべきアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一面素を示す要部平面図、第9B図はその一部拡大図、第10図は上記のアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図、第11図は第9A図に示す画素と異なるレイアウトの一面素を示す要部平面図、第12図は第9A図、第11図のそれぞれに記載される画素の等価回路図、第13図は直流相殺方式による走査信号線の駆動電圧を示すタイムチャート、第14図、第15図はそれぞれ第9A図、第11図に示したアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図、第16図はこの発明に係るアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一面素を示す要部平面図、第17a図は第16図のB-B切断線で切った部分の断

面図、第17b図は第16図のC-C切断線で切った部分の断面図、第18図は第16図に示した液晶表示装置の液晶表示部とシール部周辺部の断面図、第19図は第16図に示す画素とブラックマトリックスパターンとを重ね合せた状態を示す平面図である。

SUB…透明ガラス基板

GL…走査信号線

DL…映像信号線

GI…絶縁膜

GT…ゲート電極

AS…i型半導体層

SD…ソース電極またはドレイン電極

PSV…保護膜

LS…遮光膜

LC…液晶

TFT…薄膜トランジスタ

ITO(COM)…透明画素電極

g, d…導電膜

Cadd…保持容量素子

Cgs…重ね合せ容量

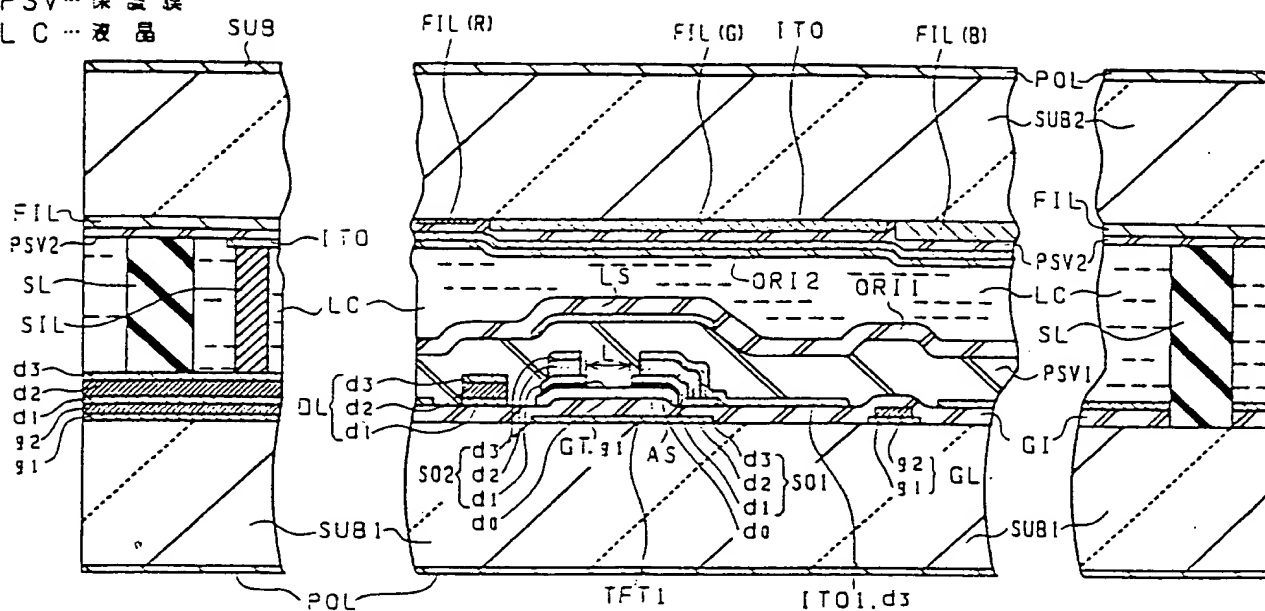
Cpix…液晶容量

BM…ブラックマトリックスパターン

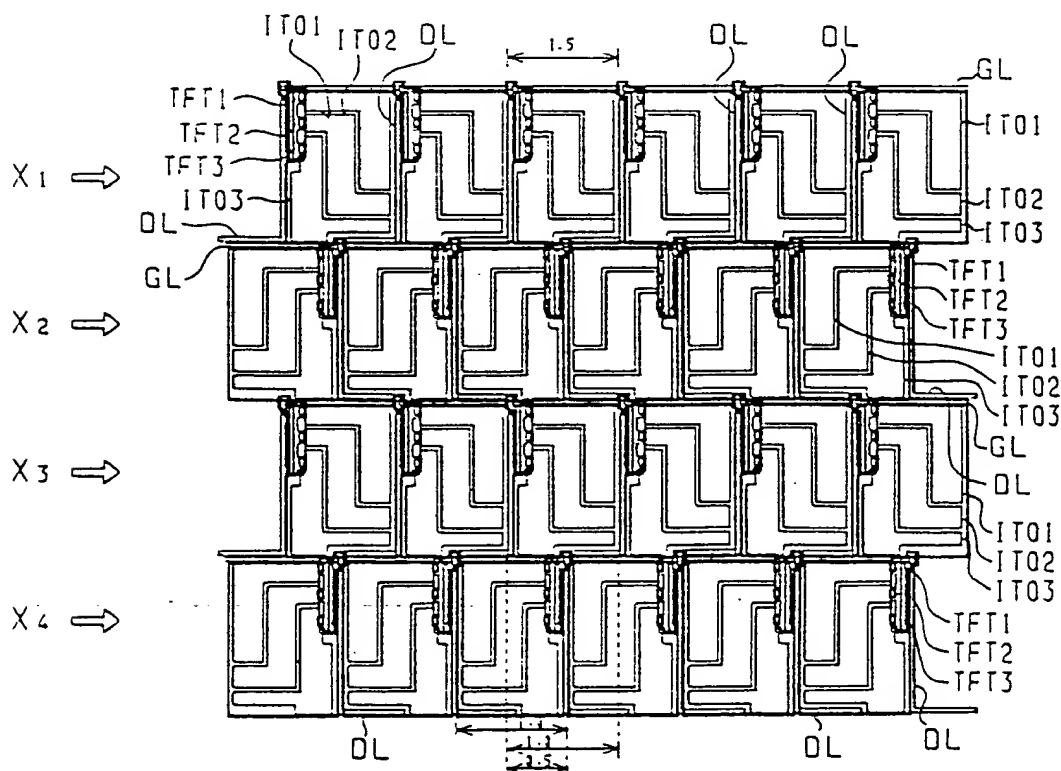
代理人 弁理士 中 村 純 之 助



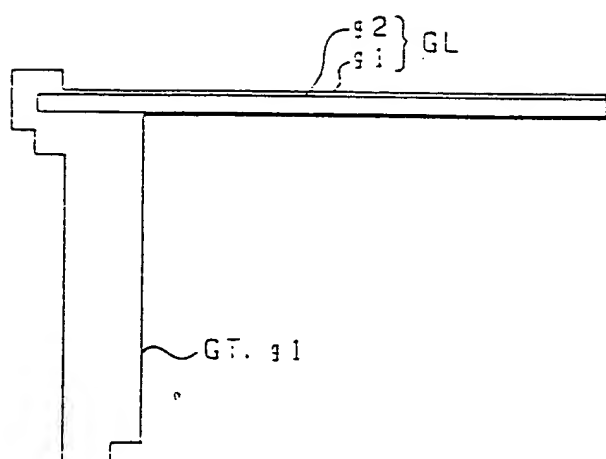
第 3 圖



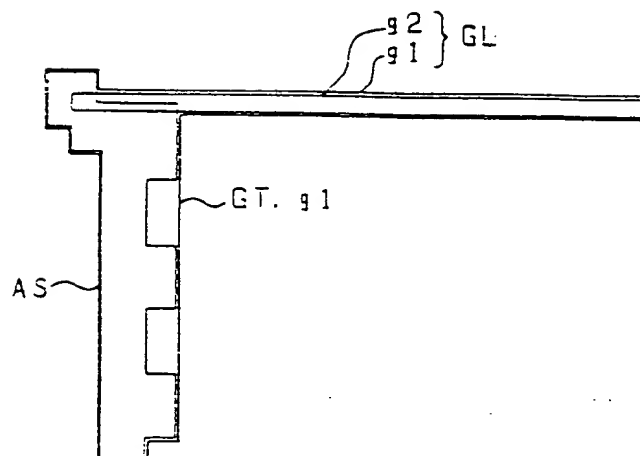
第 4 圖



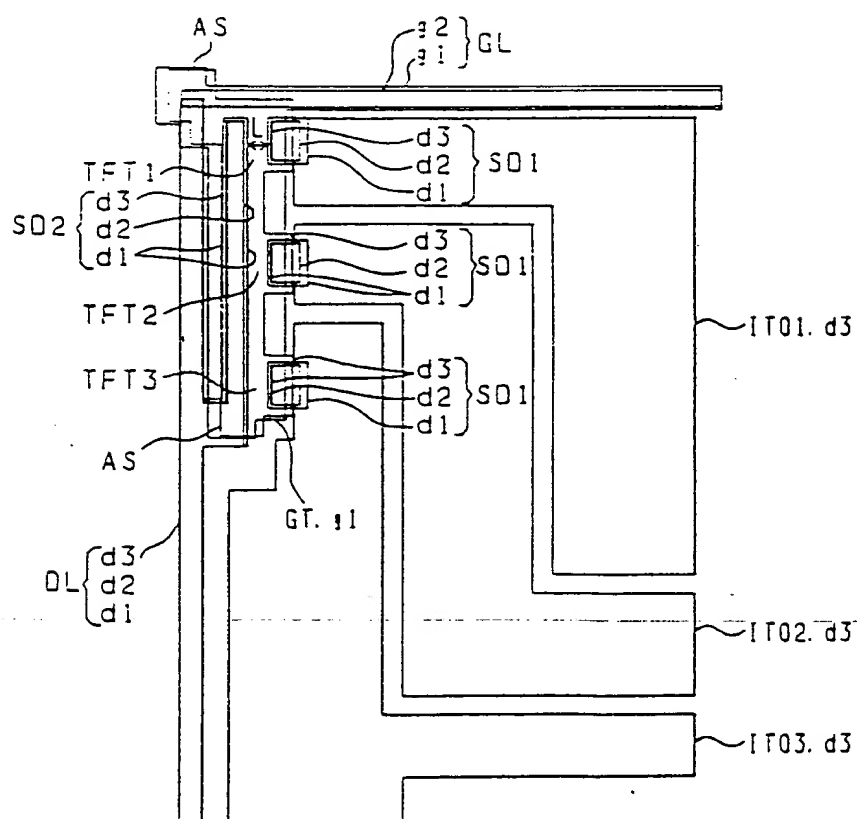
第 5 図



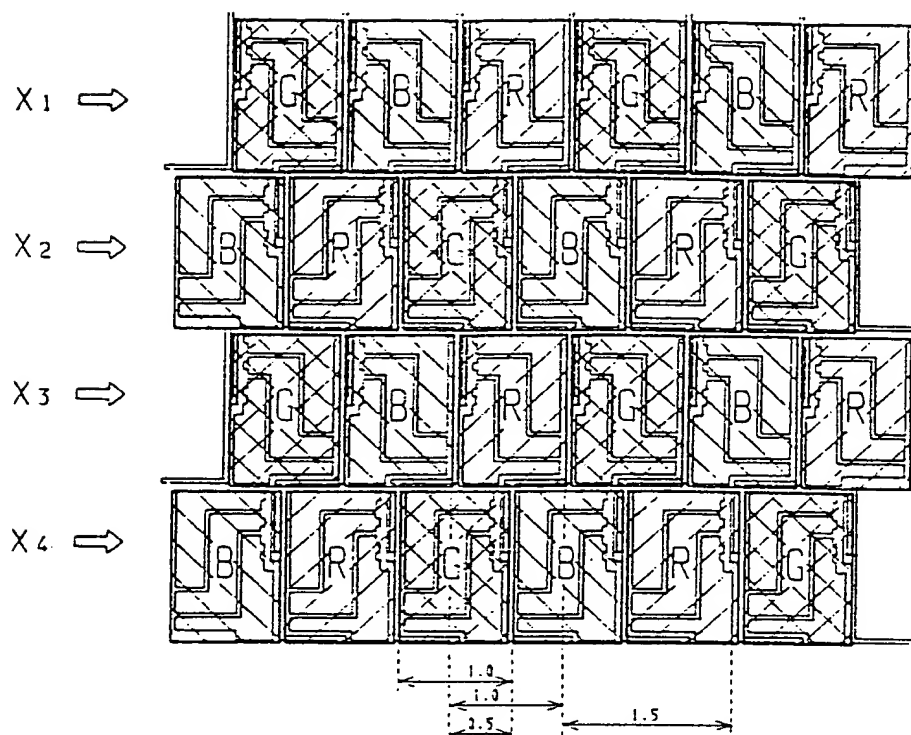
第 6 図



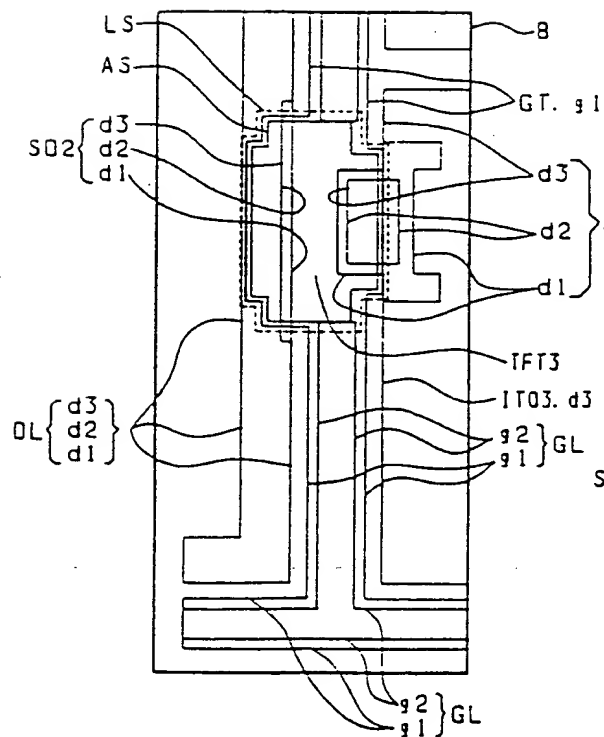
第 7 図



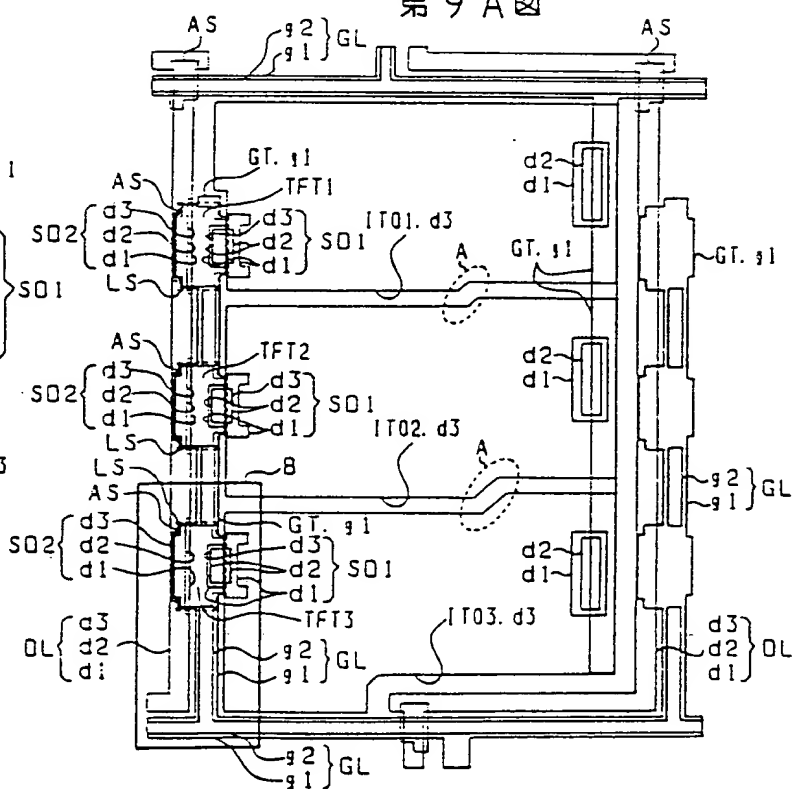
第 8 図



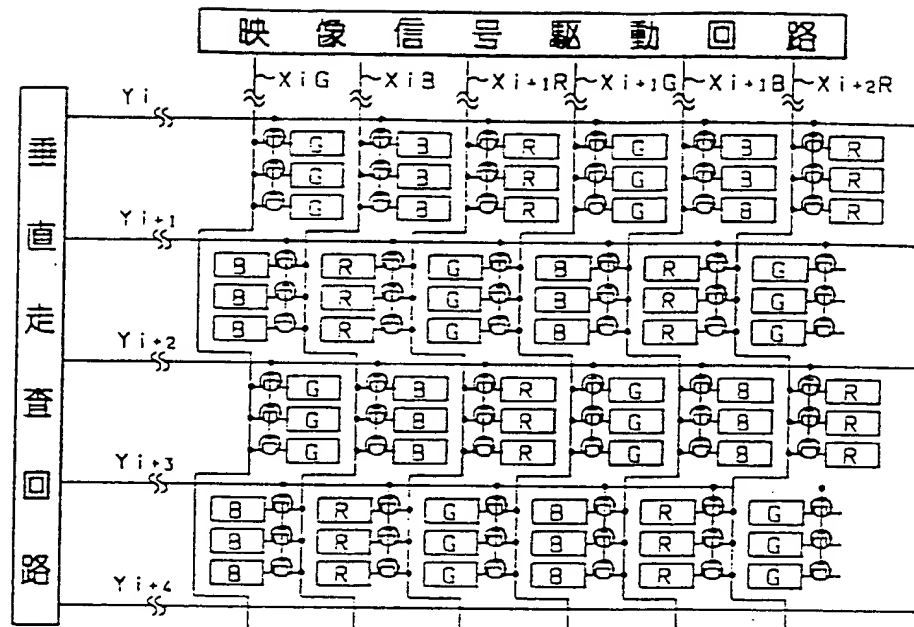
第 9 B 図



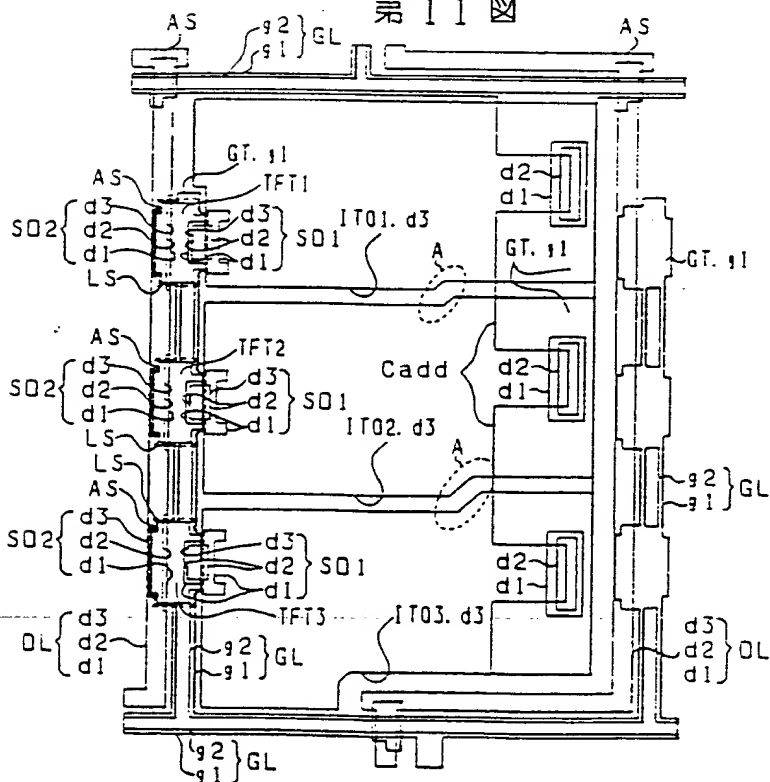
第 9 A 図



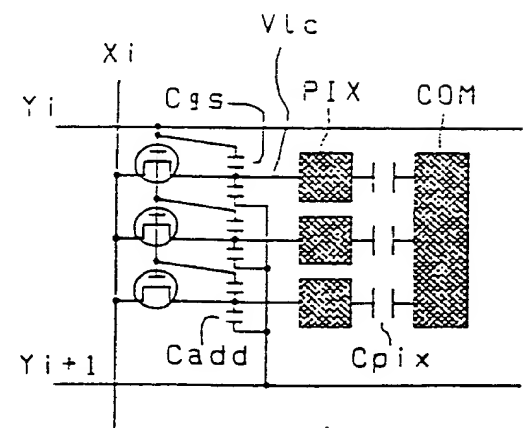
第 10 図



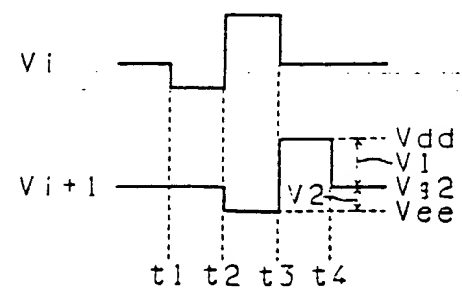
第 11 図



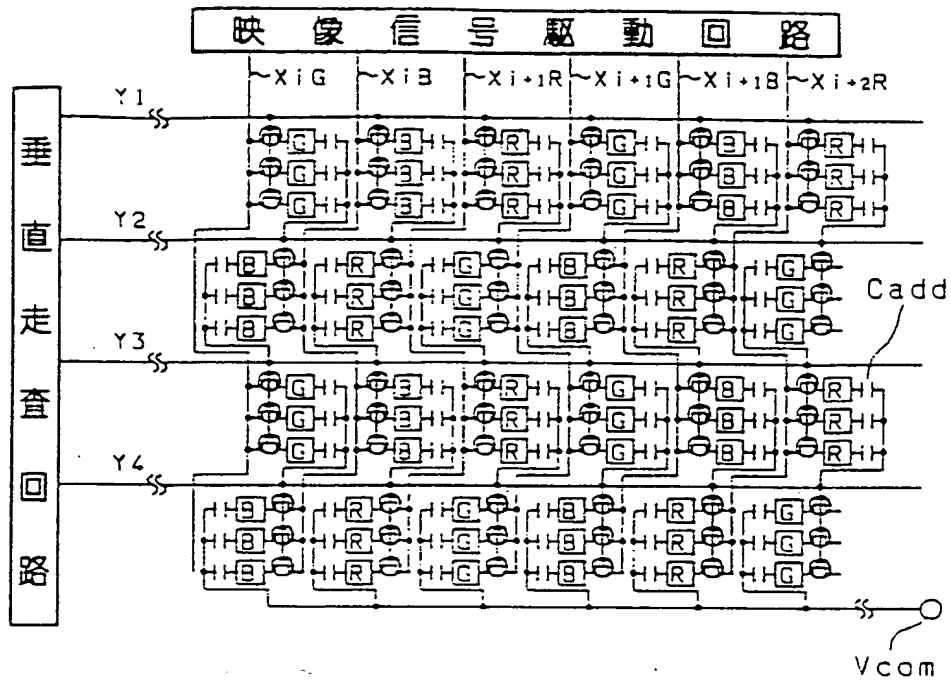
第 12 図



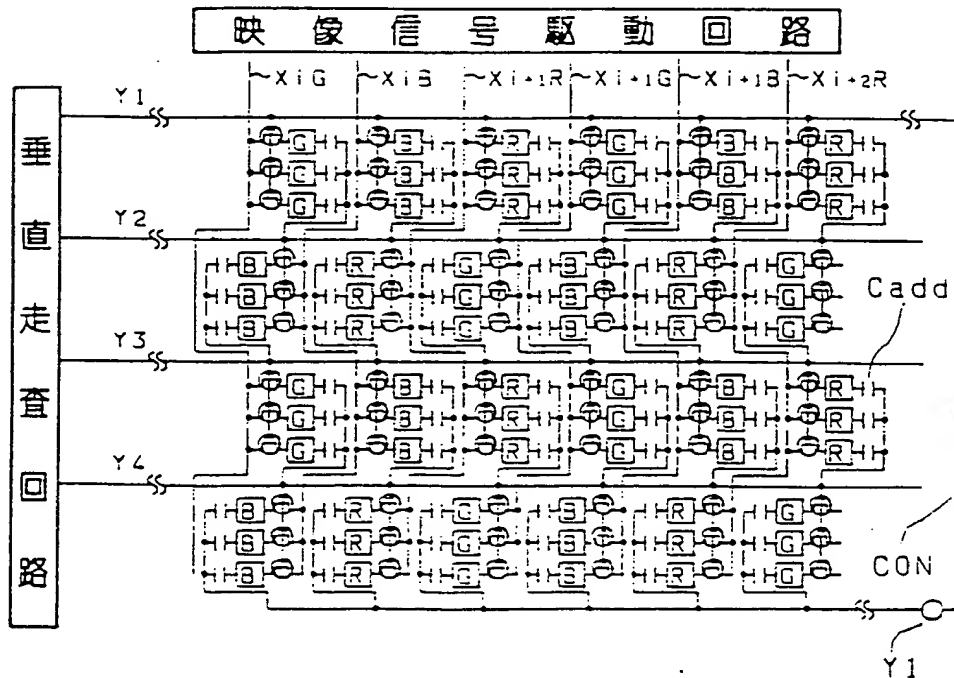
第 13 図



第 14 図

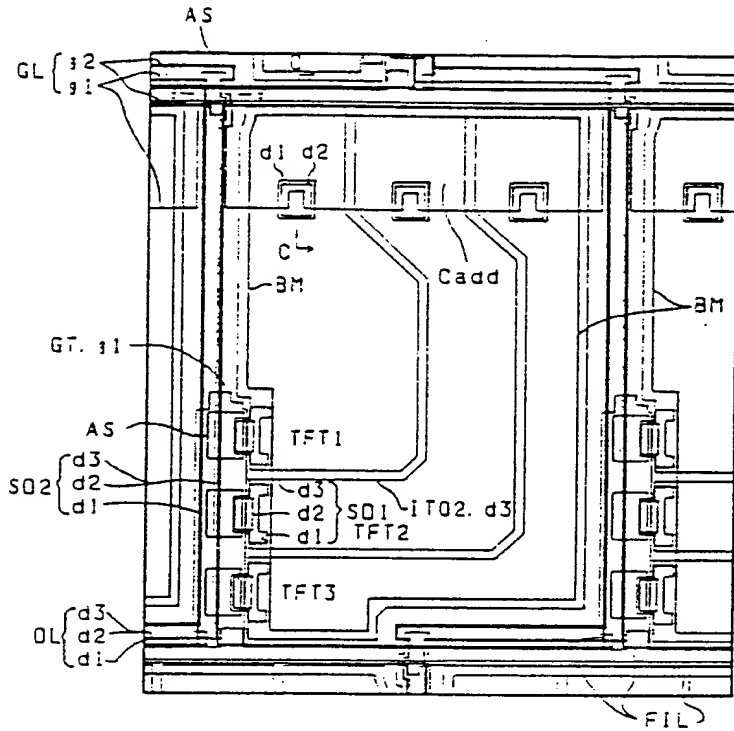


第 15 図

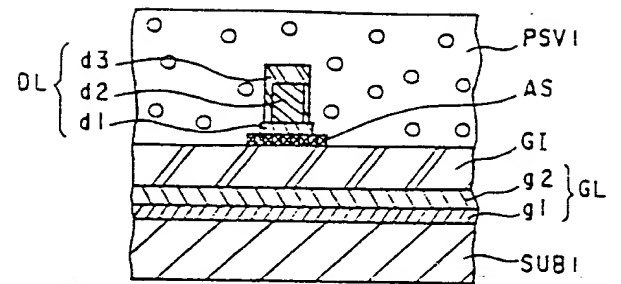




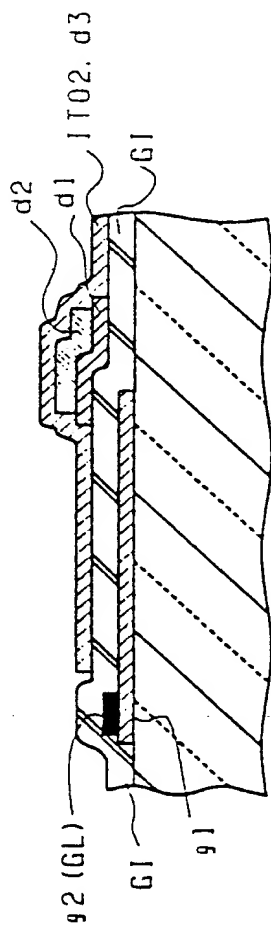
第 16 図



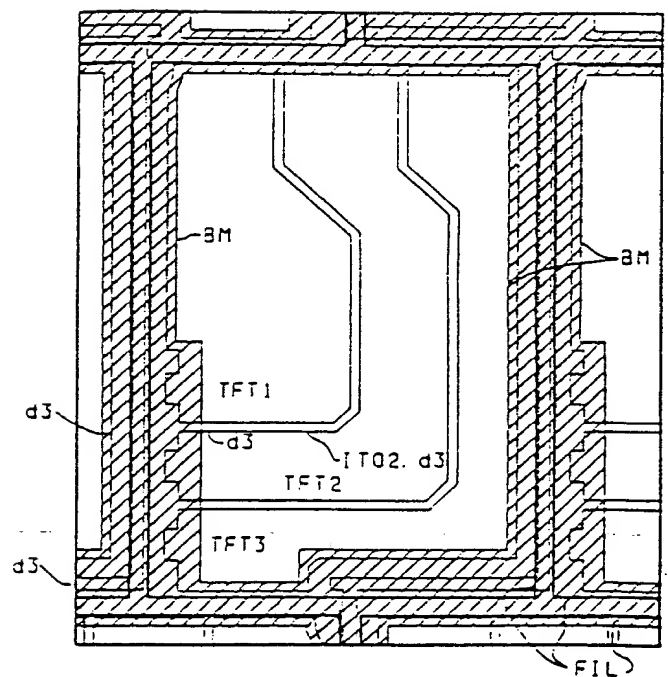
第 17a 図



第 17b 図



第 19 図



第 18 図

